

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Akimitsu SHIMAMURA

Serial No.: New Application

Filed: June 25, 2003

For: SEMICONDUCTOR DEVICE

CLAIM FOR PRIORITY

Commissioner for Patents
P. O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following country is hereby requested for the above-identified application and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Patent Appln. No. 2002-183754 filed June 25, 2002

In support of this claim, a certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

PARKHURST & WENDEL, L.L.P.



Roger W. Parkhurst
Registration No. 25,177

June 25, 2003
Date

RWP/ch
Attorney Docket No. YMOR:292
PARKHURST & WENDEL, L.L.P.
1421 Prince Street, Suite 210
Alexandria, Virginia 22314-2805
Telephone: (703) 739-0220

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 6月25日

出 願 番 号
Application Number:

特願2002-183754

[ST.10/C]:

[JP2002-183754]

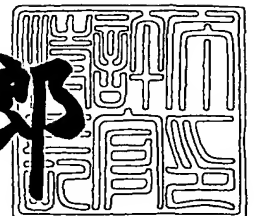
出 願 人
Applicant(s):

松下電器産業株式会社

2003年 5月 9日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3033592

【書類名】 特許願

【整理番号】 5038230017

【提出日】 平成14年 6月25日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 12/02

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

【氏名】 島村 秋光

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100068087

【弁理士】

【氏名又は名称】 森本 義弘

【電話番号】 06-6532-4025

【手数料の表示】

【予納台帳番号】 010113

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書
 【発明の名称】 半導体装置
 【特許請求の範囲】

【請求項1】 アドレスに対応させて命令コードからなる命令プログラムがデータとして格納された命令メモリと、前記命令プログラムデータをフェッチする命令フェッチブロックと、前記命令コードをデコードするデコードブロックと、デコードされた命令に対応する制御信号に基づいて当該命令を実行する実行ブロックとからなり、前記命令フェッチブロックから前記命令メモリに前記アドレスが供給され、そのアドレスの前記命令プログラムデータが、前記命令メモリから前記命令フェッチブロックに入力され、前記命令フェッチブロックから前記デコードブロックに前記命令プログラムデータに対応する命令コードが入力され、前記デコードブロックから前記命令コードをデコードした命令に対応する制御信号が前記実行ブロックに入力され、前記実行ブロックから前記制御信号により命令を実行した結果に応じて条件分岐の状態を表す条件分岐成立信号が出力され、その条件分岐成立信号に基いて、前記命令メモリ上の命令プログラムに従って条件分岐の処理実行を制御する半導体装置であって、前記命令フェッチブロックがフェッチ処理を実行する場合に、前記条件分岐成立信号の状態に基いて、条件分岐が成立した場合の分岐先のアドレスと、条件分岐が不成立した場合のアドレスの一方を選択し、前記命令メモリに供給する制御手段を備えたことを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置であって、前記命令プログラムデータに含まれるディスプレースメント情報から前記分岐先アドレスを生成する手段を備えた半導体装置。

【請求項3】 請求項2記載の半導体装置であって、前記命令フェッチブロックからの命令コードを基に条件分岐命令を判定する手段を備え、その判定結果から条件分岐命令の実行を検出し、前記条件分岐命令実行時にのみ前記条件分岐成立信号に基づくアドレス選択を行うよう構成した半導体装置。

【請求項4】 請求項2記載の半導体装置であって、前記命令メモリがそのアドレスを2次元指定するために2次元配列されたメモリセルからなり、前記2

次元の各配列に対応させて設けた 2 つのアドレスデコーダのうち、後で決定される一方のデコーダの出力側に、前記条件分岐成立信号をアドレス選択信号として供給するよう構成した半導体装置。

【請求項 5】 請求項 2 記載の半導体装置であって、前記命令メモリがそのアドレスを 2 次元指定するために 2 次元配列されたメモリセルからなり、前記 2 次元の各配列に対応させて設けた 2 つのアドレスデコーダのうち、後で決定される一方のデコーダの入力側に、前記条件分岐成立信号をアドレス選択信号として供給するよう構成した半導体装置。

【請求項 6】 請求項 3 記載の半導体装置であって、前記命令メモリがそのアドレスを 2 次元指定するために 2 次元配列されたメモリセルからなり、前記 2 次元の各配列に対応させて設けた 2 つのアドレスデコーダのうち、後で決定される一方のデコーダの出力側に、前記条件分岐成立信号をアドレス選択信号として供給するよう構成した半導体装置。

【請求項 7】 請求項 3 記載の半導体装置であって、前記命令メモリがそのアドレスを 2 次元指定するために 2 次元配列されたメモリセルからなり、前記 2 次元の各配列に対応させて設けた 2 つのアドレスデコーダのうち、後で決定される一方のデコーダの入力側に、前記条件分岐成立信号をアドレス選択信号として供給するよう構成した半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、各種演算処理用としてメモリ上の命令に従って条件分岐の処理実行を制御する半導体装置に関するものである。

【0 0 0 2】

【従来の技術】

従来から、各種演算処理用として広く用いられ、メモリ内に格納された命令プログラムに従って各種処理を実行する半導体装置では、条件分岐制御として、分岐成立かもしくは不成立かにより当該アドレスに分岐する条件分岐を実行する際に、予め予測した条件分岐に対して命令フェッチを実行しておいて、分岐条件が

確定した後で、予め予測して実行していた命令フェッチが正しければ、そのまま処理を続行し、間違っていれば、一旦、処理をアボートして、命令を再実行するように、条件分岐の処理実行を制御している。

【0003】

このような従来の半導体装置について、図面を用いて以下に説明する。

図13は従来の半導体装置の構成を示すブロック図である。従来の半導体装置は、図13に示すように、命令コードからなる命令プログラムがデータとして格納された命令メモリ1と、命令メモリ1からの命令プログラムデータ6をフェッチする命令フェッチブロック（以下、IFBとする）2と、命令プログラムを構成する命令コード7をデコードするデコードブロック（以下、DECBとする）3と、デコードされた命令に対応する制御信号8に基づいて命令を実行する実行ブロック（以下、EXBとする）4とによって構成されている。

【0004】

上記の構成において、IFB2から命令メモリ1へアドレス5が入力され、命令メモリ1からIFB2へデータ6が出力され、IFB2からDECB3へ命令コード7が出力され、DECB3からEXB4へは制御信号8が出力され、EXB4からは条件分岐成立信号（以下、BRTKNとする）9がIFB2とDECB3へ入力されている。各ブロックへはシステムクロック信号CLKが入力され、同一CLKによるタイミングに基づいてパイプライン動作が行われている。

【0005】

以上のように構成された従来の半導体装置において、条件分岐命令を実行する場合について、その動作を以下に説明する。

図14は従来の半導体装置の条件分岐命令実行の際のタイミングチャートである。図14において、aの期間では、IFB2においてレジスタ間の差演算SUB D2、D1のフェッチが行われる。

【0006】

bの期間では、IFB2においては条件分岐命令BEQ disp8のフェッチが行われ、DECB3ではSUB D2、D1のデコードが行われる。条件分岐命令BEQ disp8は直前のフラグ変化命令によってゼロフラグが1にな

った場合に分岐する命令である。すなわち演算結果がゼロになると分岐し、それ以外では分岐せず、次の命令を実行していく。

【0007】

cの期間では、IFB2においては通常の次の命令であるAND D0、D1のフェッチが行われ、DECB3においてはBEQ disp8のデコードが行われ、EXB4においてはSUB D2、D1の実行が行われる。演算結果がゼロ（ゼロフラグが1）になる場合には、cの期間の最中に条件分岐成立信号BRTKN9が生成される（Hレベル）。

【0008】

dの期間では、BRTKN9を反映して、IFB2においては分岐先命令のMOV D2、A0のフェッチが行われ、DECB3においては分岐不成立を予測してフェッチしていたAND D0、D1のデコードを実行するが、EXB4においてBEQ disp8の実行が行われる。すなわち、BRTKN9を反映してDECB3におけるMOV D2、A0のデコードを無効にする。

【0009】

eの期間では、DECB3において分岐先命令のMOV D2、A0のデコードが実行され、EXB4においては、BRTKN9によってAND D0、D1のデコードが実行されずに無効化されたため、何の処理も実行されない。

【0010】

fの期間では、分岐先命令のMOV D2、A0が実行される。

【0011】

【発明が解決しようとする課題】

しかしながら上記のような従来の半導体装置においては、予め予測して実行した命令フェッチが間違っていた場合、つまり条件分岐が成立の場合には、予測してフェッチした命令の実行処理を無効化するため、命令フェッチの予測実行により無駄になる実行サイクルが発生し、処理性能の低下を招いてしまうという問題点を有していた。

【0012】

本発明は、上記従来の問題点を解決するもので、従来のような無駄な実行サイ

クルの発生による処理性能の低下を防ぐことができる半導体装置を提供する。

【0013】

【課題を解決するための手段】

上記の課題を解決するために本発明の請求項1に記載の半導体装置は、アドレスに対応させて命令コードからなる命令プログラムがデータとして格納された命令メモリと、前記命令プログラムデータをフェッチする命令フェッチブロックと、前記命令コードをデコードするデコードブロックと、デコードされた命令に対応する制御信号に基づいて当該命令を実行する実行ブロックとからなり、前記命令フェッチブロックから前記命令メモリに前記アドレスが供給され、そのアドレスの前記命令プログラムデータが、前記命令メモリから前記命令フェッチブロックに入力され、前記命令フェッチブロックから前記デコードブロックに前記命令プログラムデータに対応する命令コードが入力され、前記デコードブロックから前記命令コードをデコードした命令に対応する制御信号が前記実行ブロックに入力され、前記実行ブロックから前記制御信号により命令を実行した結果に応じて条件分岐の状態を表す条件分岐成立信号が出力され、その条件分岐成立信号に基づいて、前記命令メモリ上の命令プログラムに従って条件分岐の処理実行を制御する半導体装置であって、前記命令フェッチブロックがフェッチ処理を実行する場合に、前記条件分岐成立信号の状態に基づいて、条件分岐が成立した場合の分岐先のアドレスと、条件分岐が不成立した場合のアドレスの一方を選択し、前記命令メモリに供給する制御手段を備えた構成としたことを特徴とする。

【0014】

以上により、フェッチ処理の際に、分岐成立信号の状態に基づいて、条件分岐が成立した場合には分岐先アドレスを選択し、条件分岐が不成立の場合には次の命令のアドレスを選択することを可能とし、それらのアドレスに対応するフェッチ処理を実行することにより、従来のような予測実行した処理の無効化をなくして、無駄な実行サイクルの発生をなくすることができる。

【0015】

また、本発明の請求項2に記載の半導体装置は、請求項1に記載の半導体装置であって、前記命令プログラムデータに含まれるディスプレースメント情報から前

記分岐先アドレスを生成する手段を備えた構成としたことを特徴とする。

【0016】

以上により、フェッチ処理の際に、分岐成立信号の状態に基づいて、条件分岐が成立した場合には分岐先アドレスを選択し、条件分岐が不成立の場合には次の命令のアドレスを選択することを可能とし、それらのアドレスに対応するフェッチ処理を実行することにより、従来のような予測実行した処理の無効化をなくして、無駄な実行サイクルの発生をなくすることができる。

【0017】

また、本発明の請求項3に記載の半導体装置は、請求項2に記載の半導体装置であって、前記命令フェッチブロックからの命令コードを基に条件分岐命令を判定する手段を備え、その判定結果から条件分岐命令の実行を検出し、前記条件分岐命令実行時にのみ前記条件分岐成立信号に基づくアドレス選択を行うよう構成したことを特徴とする。

【0018】

以上により、条件分岐命令実行時にのみ、その命令に対するフェッチ処理の際に、分岐成立信号の状態に基づいて、条件分岐が成立した場合には分岐先アドレスを選択し、条件分岐が不成立の場合には次の命令のアドレスを選択することを可能とし、それらのアドレスに対応するフェッチ処理を実行することにより、従来のような予測実行した処理の無効化をなくして、無駄な実行サイクルの発生をなくすることができる。

【0019】

また、本発明の請求項4に記載の半導体装置は、請求項2に記載の半導体装置であって、前記命令メモリがそのアドレスを2次元指定するために2次元配列されたメモリセルからなり、前記2次元の各配列に対応させて設けた2つのアドレスデコーダのうち、後で決定される一方のデコーダの出力側に、前記条件分岐成立信号をアドレス選択信号として供給するよう構成したことを特徴とする。

【0020】

以上により、フェッチ処理の際に、分岐成立信号の状態に基づいて、条件分岐が成立した場合には分岐先アドレスを選択し、条件分岐が不成立の場合には次の

命令のアドレスを選択することを可能とし、それらのアドレスに対応するフェッチ処理を実行することにより、従来のような予測実行した処理の無効化をなくして、無駄な実行サイクルの発生をなくすることができる。

【0021】

また、本発明の請求項5に記載の半導体装置は、請求項2記載の半導体装置であって、前記命令メモリがそのアドレスを2次元指定するために2次元配列されたメモリセルからなり、前記2次元の各配列に対応させて設けた2つのアドレスデコーダのうち、後で決定される一方のデコーダの入力側に、前記条件分岐成立信号をアドレス選択信号として供給するよう構成したことを特徴とする。

【0022】

以上により、フェッチ処理の際に、分岐成立信号の状態に基づいて、条件分岐が成立した場合には分岐先アドレスを選択し、条件分岐が不成立の場合には次の命令のアドレスを選択することを可能とし、それらのアドレスに対応するフェッチ処理を実行することにより、従来のような予測実行した処理の無効化をなくして、無駄な実行サイクルの発生をなくすることができる。

【0023】

また、本発明の請求項6に記載の半導体装置は、請求項3記載の半導体装置であって、前記命令メモリがそのアドレスを2次元指定するために2次元配列されたメモリセルからなり、前記2次元の各配列に対応させて設けた2つのアドレスデコーダのうち、後で決定される一方のデコーダの出力側に、前記条件分岐成立信号をアドレス選択信号として供給するよう構成したことを特徴とする。

【0024】

以上により、条件分岐命令実行時にのみ、その命令に対するフェッチ処理の際に、分岐成立信号の状態に基づいて、条件分岐が成立した場合には分岐先アドレスを選択し、条件分岐が不成立の場合には次の命令のアドレスを選択することを可能とし、それらのアドレスに対応するフェッチ処理を実行することにより、従来のような予測実行した処理の無効化をなくして、無駄な実行サイクルの発生をなくすることができる。

【0025】

また、本発明の請求項 7 に記載の半導体装置は、請求項 3 記載の半導体装置であって、前記命令メモリがそのアドレスを 2 次元指定するために 2 次元配列されたメモリセルからなり、前記 2 次元の各配列に対応させて設けた 2 つのアドレスデコーダのうち、後で決定される一方のデコーダの入力側に、前記条件分岐成立信号をアドレス選択信号として供給するよう構成したことを特徴とする。

【0026】

以上により、条件分岐命令実行時にのみ、その命令に対するフェッチ処理の際に、分岐成立信号の状態に基づいて、条件分岐が成立した場合には分岐先アドレスを選択し、条件分岐が不成立の場合には次の命令のアドレスを選択することを可能とし、それらのアドレスに対応するフェッチ処理を実行することにより、従来のような予測実行した処理の無効化をなくして、無駄な実行サイクルの発生をなくすることができる。

【0027】

【発明の実施の形態】

以下、本発明の実施の形態を示す半導体装置について、図面を参照しながら具体的に説明する。

(実施の形態 1)

本発明の実施の形態 1 の半導体装置を説明する。

【0028】

図 1 は本実施の形態 1 の半導体装置の構成を示すブロック図である。図 1 において、命令メモリ 1 と I F B 2 と D E C B 3 と E X B 4 とアドレス 5 とデータ 6 と命令コード 7 と制御信号 8 とは、従来技術で説明した各要素と同じである。

【0029】

I F B 2 内部には、アドレス生成器 10 とアドレスラッチ 13 とディスプレイスメント情報を保持する d i s p ラッチ 14 と A U 18 とセクタ 20 とを備え、アドレス生成器 10 からの出力 1.2 がアドレスラッチ 13 とセクタ 20 に入力され、データ 6 から抜き出したディスプレイスメント情報 15 が d i s p ラッチ 14 へ入力され、アドレスラッチ 13 の出力 16 と d i s p ラッチ 14 の出力 17 が A U 18 に入力され、A U 18 の出力 19 がセクタ 20 に入力され、セ

レクタ20へは選択信号としてBRTKN9が入力され、セクタ20の出力21がアドレス5として命令メモリ1へ入力されている。

【0030】

以上のように構成された本実施の形態1の半導体装置について、その動作を以下に詳しく説明する。

図2は本実施の形態1の半導体装置の動作を示すタイミングチャートである。図2において、aの期間では、アドレス(ADR)0000を発行し、レジスタ間演算SUB D2、D1のフェッチがIFB2で行われる。

【0031】

bの期間では、アドレス0002を発行し、IFB2においては条件分岐命令BEQ disp8のフェッチが行われ、DECB3ではSUB D2、D1のデコードが行われる。さらにbの期間の最後にはdispラッチ14にはBEQ

disp8の命令に含まれるディスプレースメント情報の20が格納され、アドレスラッチ13にはアドレス0002が格納される。条件分岐命令BEQ disp8は、直前の演算結果がゼロになると分岐し、それ以外では分岐せず、次の命令を実行していく。

【0032】

cの期間ではまず、アドレス0004が発行され、IFB2においては、通常の次の命令であるAND D0、D1のフェッチが行われ、アドレスラッチ13の値0002とdispラッチ14の値0020がAU18に入力され、分岐アドレス19として0022が出力される。DECB3においてはBEQ disp8のデコードが行われ、EXB4においてはSUB D2、D1の実行が行われる。

【0033】

本実施の形態においては、SUB D2、D1の演算結果がゼロになるため、cの期間の最中に条件分岐成立信号BRTKN9が生成される。BRTKN9がセクタ20に入力されると、分岐アドレス19が選択され、セクタ出力21が0022に変化し、アドレス5は0022に変化する。アドレス0022の発行に従って、IFB2においてはアドレス0022に格納されている命令MOV

D2、A0のフェッチが行われる。

【0034】

dの期間では、DECB3において分岐先命令のMOV D2、A0のデコードが行われ、EXB4においてはBEQ disp8の実行が行われる。ただし、条件分岐の動作はすでに完了しているため、実際には何も実行されない。

【0035】

eの期間では、EXB4において、分岐先命令のMOV D2、A0が実行される。

以上のように、フェッチ処理の際に、分岐成立信号の状態に基づいて、条件分岐が成立した場合には分岐先アドレスを選択し、条件分岐が不成立の場合には次の命令のアドレスを選択することを可能とし、それらのアドレスに対応するフェッチ処理を実行することにより、従来のような予測実行した処理の無効化をなくして、無駄な実行サイクルの発生をなくすることができる。

【0036】

その結果、従来のような無効化サイクルの発生による処理性能の低下を防ぐことができる。

(実施の形態2)

本発明の実施の形態2の半導体装置を説明する。

【0037】

図3は本実施の形態2の半導体装置の構成を示すブロック図である。図3において、命令メモリ1とIFB2とDECB3とEXB4とアドレス5とデータ6と命令コード7と制御信号8とBRTKN9とアドレス生成器10とアドレス12とアドレスラッチ13とdispラッチ14とアドレスラッチ出力16とdispラッチ出力17とAU18と分岐アドレス19とセクタ20とセクタ出力21とは、実施の形態1で説明した各要素と同じである。

【0038】

DECB3内部には条件分岐命令判定器22を備え、条件分岐命令がDECB3に入力された場合は、条件分岐命令判定器22から条件分岐命令実行を示す信号BREN23が出力される。BREN23はアドレスラッチ13、dispラ

ッチ 1 4、A U 1 8、セレクトア 2 0 に入力され、B R E N 2 3 が H I（ハイレベル）の場合だけ、アドレスラッチ 1 3、d i s p ラッチ 1 4、A U 1 8、セレクトア 2 0 が動作する。

【 0 0 3 9 】

以上のように構成された本実施の形態 2 の半導体装置について、その動作を以下に詳しく説明する。

図 4 は本実施の形態 2 の半導体装置の動作を示すタイミングチャートである。図 4 において、c の期間では、B R E N 2 3 が H I となり、この期間だけ、アドレスラッチ 1 3、d i s p ラッチ 1 4、A U 1 8、セレクトア 2 0 が動作する。一方、B R E N 2 3 が L O W の期間では、アドレスラッチ 1 3、d i s p ラッチ 1 4、A U 1 8、セレクトア 2 0 が停止する。その他の動作は、実施の形態 1 で説明した各要素の動作と同じである。

【 0 0 4 0 】

以上のように、条件分岐命令実行時にのみ、その命令に対するフェッチ処理の際に、分岐成立信号の状態に基づいて、条件分岐が成立した場合には分岐先アドレスを選択し、条件分岐が不成立の場合には次の命令のアドレスを選択することを可能とし、それらのアドレスに対応するフェッチ処理を実行することにより、従来のような予測実行した処理の無効化をなくして、無駄な実行サイクルの発生をなくすることができる。

【 0 0 4 1 】

その結果、従来のような無効化サイクルの発生をなくして処理性能の低下を防ぐことができるとともに、条件分岐命令に対するフェッチ処理の実行時以外ではアドレス選択をなくして無駄な電力消費をなくし、装置全体の消費電力を低減化することができる。

（実施の形態 3）

本発明の実施の形態 3 の半導体装置を説明する。

【 0 0 4 2 】

図 5 は本実施の形態 3 の半導体装置の構成を示すブロック図である。図 5 において、命令メモリ 1 と I F B 2 と D E C B 3 と E X B 4 とアドレス 5 とデータ 6

と命令コード7と制御信号8とBRTKN9とアドレスラッチ13とdispラッチ14とアドレスラッチ出力16とdispラッチ出力17とAU18と分岐アドレス19は、実施の形態2で説明した各要素と同じである。

【0043】

本実施の形態においては、アドレスラッチ13とdispラッチ14とAU18は命令メモリ1内部に配置されている。さらに命令メモリ1の内部にはXデコーダ24とYデコーダ30とメモリアレイ25が配置され、さらにYデコーダ30の内部には、ノーマルアドレスのYデコーダ28と分岐アドレスのYデコーダ29と、入力データとしてノーマルYデコーダ出力31と分岐Yデコーダ出力33が入力され、選択信号としてBRTKN9が入力されたセクタ26と、入力データとしてノーマルYデコーダ出力32と分岐Yデコーダ出力34が入力され、選択信号としてBRTKN9が入力されたセクタ27と、分岐アドレス19とアドレス5が入力されたアドレス判定器35が配置され、セクタ26の出力37とセクタ27の出力38がメモリアレイ25に入力され、アドレス判定器35の出力YADROV36がDECB3に入力されている。

【0044】

以上のように構成された本実施の形態3の半導体装置について、その動作を以下に詳しく説明する。

図6は本実施の形態3の半導体装置の動作を示すタイミングチャートである。図6において、XDECはXデコーダ24に入力されるアドレス5の上位二桁を示し、YDECNはYデコーダ30に入力されるアドレス5の下位二桁を示し、XDECPはXデコーダ24のプリチャージ信号を示し、YDECPはYデコーダ30のプリチャージ信号を示している。37はセクタ26の出力を示し、38はセクタ27の出力を示している。

【0045】

図中a、bの区間は実施の形態2と同様の動作を行う。図中cの区間においては、まず、XDECP、YDECPがHIレベルになり、Xデコーダ24からの出力全てと、Yデコーダ30からの出力全てが非選択状態（LOWレベル）になる。その後、XDECPがLOWレベルに変化し、Xデコーダ24の選択ライン

がH Iレベルに変化し、メモリアレイ25に入力される。さらにその後、YDEC PがLOWレベルに変化し、Yデコーダ30の選択ラインがH Iレベルに変化し、メモリアレイ25に入力される。

【0046】

図中cの区間において、Xデコーダ24には00が、ノーマルのYデコーダ28には04が、分岐Yデコーダ29には22が入力される。ノーマルYデコーダ28の出力31はノーマルYデコーダ入力が00の場合にH Iレベルに変化し、出力32は入力が22の場合に変化する。分岐Yデコーダ29の出力33はノーマルYデコーダ入力が00の場合にH Iレベルに変化し、出力34は入力が22の場合に変化する。セクタ26の出力37はアドレスの下位二桁が00の場合の選択信号で、下位二桁が00の場合にH Iレベルに変化する。セクタ27の出力38は、アドレスの下位二桁が22の場合の選択信号で、下位二桁が22の場合にH Iレベルに変化する。

【0047】

本実施の形態のcの期間においては、ノーマルYデコーダ入力が00で、分岐Yデコーダ入力が22であるので、31と34がH Iレベルに変化し、32と33はLOW（ローレベル）に固定となる。セクタ26、27はBRTKN9がLOWの場合はノーマルYデコーダ出力を選択し、BRTKN9がH Iの場合は分岐Yデコーダ出力を選択信号する。本実施の形態ではBRTKNがH Iに変化するので、セクタ27の出力がH Iに変化し、セクタ26の出力はLOW固定となる。すなわち、Yデコーダ30には22が入力されたことになり、メモリアレイ25へのアドレスとしては分岐先のアドレス0022が入力されたこととなる。分岐しない場合のアドレス0004にはAND D0、D1が格納されていて、分岐アドレス0022にはMOV D2、A0が格納されているので、IFB2においてはMOV D2、A0の命令をフェッチすることとなる。

【0048】

以降の動作は実施の形態2と同様となる。なお、分岐アドレス19とアドレス5はアドレス判定器35に入力されており、分岐アドレス19の値がXデコーダ入力を変化させる場合、すなわち本実施の形態においては、上位二桁が変化して

しまう場合は、DECB3へ入力されているYADROVがHIレベルとなり、従来と同様の条件分岐動作が行われることとなる。

【0049】

なお、コンパイラとリンカによって、分岐アドレス19とアドレス5の値の相違が下位二桁に収まるように、条件分岐命令を含む関数の先頭アドレスを、アドレスマッピングすることで、Xデコーダ入力の変化をなくすことが可能である。

【0050】

以上のように、フェッチ処理の際に、分岐成立信号の状態に基づいて、条件分岐が成立した場合には分岐先アドレスを選択し、条件分岐が不成立の場合には次の命令のアドレスを選択することを可能とし、それらのアドレスに対応するフェッチ処理を実行することにより、従来のような予測実行した処理の無効化をなくして、無駄な実行サイクルの発生をなくすることができる。

【0051】

その結果、従来のような無効化サイクルの発生による処理性能の低下を防ぐことができる。

(実施の形態4)

本発明の実施の形態4の半導体装置を説明する。

【0052】

図7は本実施の形態4の半導体装置の構成を示すブロック図である。図7において、命令メモリ1とIFB2とDECB3とEXB4とアドレス5とデータ6と命令コード7と制御信号8とBRTKN9とアドレスラッチ13とdisラッチ14とアドレスラッチ出力16とdisラッチ出力17とAU18とXデコーダ24とYデコーダ30とメモリアレイ25とノーマルYデコーダ28と分岐Yデコーダ29とノーマルYデコーダ出力31、32と分岐アドレス19とYデコーダ出力33、34とセクタ26、27とセクタ出力37、38とアドレス判定器35は、実施の形態3で説明した各要素と同じである。

【0053】

DECB3内部には条件分岐命令判定器22を備え、条件分岐命令がDECB3に入力された場合は、条件分岐命令判定器22から条件分岐命令実行を示す信

号BREN23が出力される。BREN23はアドレスラッチ13、dispラッチ14、AU18、アドレス判定器35、分岐Yデコーダ29に入力され、BREN23がHIの場合だけ、アドレスラッチ13、dispラッチ14、AU18、アドレス判定器35、分岐Yデコーダ29が動作する。

【0054】

以上のように構成された本実施の形態4の半導体装置について、その動作を以下に詳しく説明する。

図8は本実施の形態4の半導体装置の動作を示すタイミングチャートである。図8において、cの期間ではBRENがHIとなり、この期間だけ、アドレスラッチ13、dispラッチ14、AU18、アドレス判定器35、分岐Yデコーダ29が動作する。BRENがLOWの期間では、アドレスラッチ13、dispラッチ14、AU18、アドレス判定器35、分岐Yデコーダ29は停止する。その他の動作は実施の形態3で説明した各要素の動作と同じである。

【0055】

以上のように、条件分岐命令実行時にのみ、その命令に対するフェッチ処理の際に、分岐成立信号の状態に基づいて、条件分岐が成立した場合には分岐先アドレスを選択し、条件分岐が不成立の場合には次の命令のアドレスを選択することを可能とし、それらのアドレスに対応するフェッチ処理を実行することにより、従来のような予測実行した処理の無効化をなくして、無駄な実行サイクルの発生をなくすることができる。

【0056】

その結果、従来のような無効化サイクルの発生をなくして処理性能の低下を防ぐことができるとともに、条件分岐命令に対するフェッチ処理の実行時以外ではアドレス選択をなくして無駄な電力消費をなくし、装置全体の消費電力を低減化することができる。

(実施の形態5)

本発明の実施の形態5の半導体装置を説明する。

【0057】

図9は本実施の形態5の半導体装置の構成を示すブロック図である。図9にお

いて、命令メモリ1とIFB2とDECB3とEXB4とアドレス5とデータ6と命令コード7と制御信号8とBRTKN9とアドレスラッチ13とdispラッチ14とアドレスラッチ出力16とdispラッチ出力17とAU18とXデコーダ24とメモリアレイ25とアドレス判定器35は、実施の形態3で説明した各要素と同じである。

【0058】

命令メモリ1内部で、アドレス5と分岐アドレス19がデータ入力され、選択信号としてBRTKN9が入力されたセクタ40の出力39が、Yデコーダ41に入力されていて、Yデコーダ出力38がメモリアレイ25に入力されている。

【0059】

以上のように構成された本実施の形態5の半導体装置について、その動作を以下に詳しく説明する。

図10は本実施の形態5の半導体装置の動作を示すタイミングチャートである。図10において、ADR、XDEC、YDECN、YDECBは実施の形態4と同様の信号を意味している。セクタ40の出力39は、選択信号BRTKN9がHIの場合はノーマルアドレス5の下位2桁であるYDECNとなり、BRTKN9がLOWの場合は分岐アドレス19の下位2桁であるYDECBとなる。

【0060】

Yデコーダ41からは、Yデコーダ入力39が04の場合にHIとなるYデコーダ出力37と、Yデコーダ入力39が22の場合にHIとなるYデコーダ出力38とが、それぞれメモリアレイ25に入力されている。

【0061】

cの期間の初めは、BRTKN信号がLOWのためにセクタ40の出力39は04となっている。しかし、その期間はYDECPがHIのためにYデコーダ41の出力は全てLOWレベルに固定されている。

【0062】

cの期間の途中でBRTKN9がHIに変化するとセクタ40の出力39は

22に変化し、YDECPがLOWに変化すると、Yデコーダ41の入力39が22の場合にHIとなるYデコーダ出力38がHIになる。すなわち、Yデコーダ41には22が入力されたことになり、メモリ25へのアドレスとしては分岐先のアドレス0022が入力されたこととなる。

【0063】

分岐しない場合のアドレス0004にはAND D0、D1が格納されていて、分岐アドレス0022にはMOV D2、A0が格納されているので、IFB2においてはMOV D2、A0の命令をフェッチすることとなる。

【0064】

以降の動作は実施の形態3と同様となる。

以上のように、フェッチ処理の際に、分岐成立信号の状態に基づいて、条件分岐が成立した場合には分岐先アドレスを選択し、条件分岐が不成立の場合には次の命令のアドレスを選択することを可能とし、それらのアドレスに対応するフェッチ処理を実行することにより、従来のような予測実行した処理の無効化をなくして、無駄な実行サイクルの発生をなくすることができる。

【0065】

その結果、従来のような無効化サイクルの発生による処理性能の低下を防ぐことができる。

(実施の形態6)

本発明の実施の形態6の半導体装置を説明する。

【0066】

図11は本実施の形態6の半導体装置の構成を示すブロック図である。図11において、命令メモリ1とIFB2とDECB3とEXB4とアドレス5とデータ6と命令コード7と制御信号8とBRTKN9とアドレスラッチ13とdispラッチ14とアドレスラッチ出力16とdispラッチ出力17とAU18とXデコーダ24とメモリアレイ25とアドレス判定器35とセクタ40とセクタ出力39とYデコーダ41は、実施の形態5で説明した各要素と同じである。

【0067】

DECB3内部には条件分岐命令判定器22を備え、条件分岐命令がDECB3に入力された場合は条件分岐命令判定器22から条件分岐命令実行を示す信号BREN23が出力される。BREN23はアドレスラッチ13、dispラッチ14、AU18、アドレス判定器35に入力され、BREN23がHIの場合だけ、アドレスラッチ13、dispラッチ14、AU18、アドレス判定器35が動作する。

【0068】

以上のように構成された本実施の形態6の半導体装置について、その動作を以下に詳しく説明する。

図12は本実施の形態6の半導体装置の動作を示すタイミングチャートである。図12において、cの期間ではBRENがHIとなり、この期間だけ、アドレスラッチ13、dispラッチ14、AU18、アドレス判定器35が動作する。BRENがLOWの期間では、アドレスラッチ13、dispラッチ14、AU18、アドレス判定器35は停止する。その他の動作は実施の形態5で説明した各要素の動作と同じである。

【0069】

以上のように、条件分岐命令実行時にのみ、その命令に対するフェッチ処理の際に、分岐成立信号の状態に基づいて、条件分岐が成立した場合には分岐先アドレスを選択し、条件分岐が不成立の場合には次の命令のアドレスを選択することを可能とし、それらのアドレスに対応するフェッチ処理を実行することにより、従来のような予測実行した処理の無効化をなくして、無駄な実行サイクルの発生をなくすることができる。

【0070】

その結果、従来のような無効化サイクルの発生をなくして処理性能の低下を防ぐことができるとともに、条件分岐命令に対するフェッチ処理の実行時以外ではアドレス選択をなくして無駄な電力消費をなくし、装置全体の消費電力を低減化することができる。

【0071】

【発明の効果】

以上のように本発明によれば、フェッチ処理の際に、分岐成立信号の状態に基づいて、条件分岐が成立した場合には分岐先アドレスを選択し、条件分岐が不成立の場合には次の命令のアドレスを選択することを可能とし、それらのアドレスに対応するフェッチ処理を実行することにより、従来のような予測実行した処理の無効化をなくして、無駄な実行サイクルの発生をなくすることができる。

【0072】

そのため、従来のような無効化サイクルの発生による処理性能の低下を防ぐことができる。

また、条件分岐命令実行時にのみ、その命令に対するフェッチ処理の際に、分岐成立信号の状態に基づいて、条件分岐が成立した場合には分岐先アドレスを選択し、条件分岐が不成立の場合には次の命令のアドレスを選択することを可能とし、それらのアドレスに対応するフェッチ処理を実行することにより、従来のような予測実行した処理の無効化をなくして、無駄な実行サイクルの発生をなくすることができる。

【0073】

そのため、従来のような無効化サイクルの発生をなくして処理性能の低下を防ぐことができるとともに、条件分岐命令に対するフェッチ処理の実行時以外ではアドレス選択をなくして無駄な電力消費をなくし、装置全体の消費電力を低減化することができる。

【図面の簡単な説明】

【図1】

本発明の実施の形態1の半導体装置の構成を示すブロック図

【図2】

同実施の形態1の半導体装置の動作を示すタイミングチャート

【図3】

本発明の実施の形態2の半導体装置の構成を示すブロック図

【図4】

同実施の形態2の半導体装置の動作を示すタイミングチャート

【図5】

本発明の実施の形態 3 の半導体装置の構成を示すブロック図

【図 6】

同実施の形態 3 の半導体装置の動作を示すタイミングチャート

【図 7】

本発明の実施の形態 4 の半導体装置の構成を示すブロック図

【図 8】

同実施の形態 4 の半導体装置の動作を示すタイミングチャート

【図 9】

本発明の実施の形態 5 の半導体装置の構成を示すブロック図

【図 10】

同実施の形態 5 の半導体装置の動作を示すタイミングチャート

【図 11】

本発明の実施の形態 6 の半導体装置の構成を示すブロック図

【図 12】

同実施の形態 6 の半導体装置の動作を示すタイミングチャート

【図 13】

従来の半導体装置の構成を示すブロック図

【図 14】

同従来例の半導体装置の動作を示すタイミングチャート

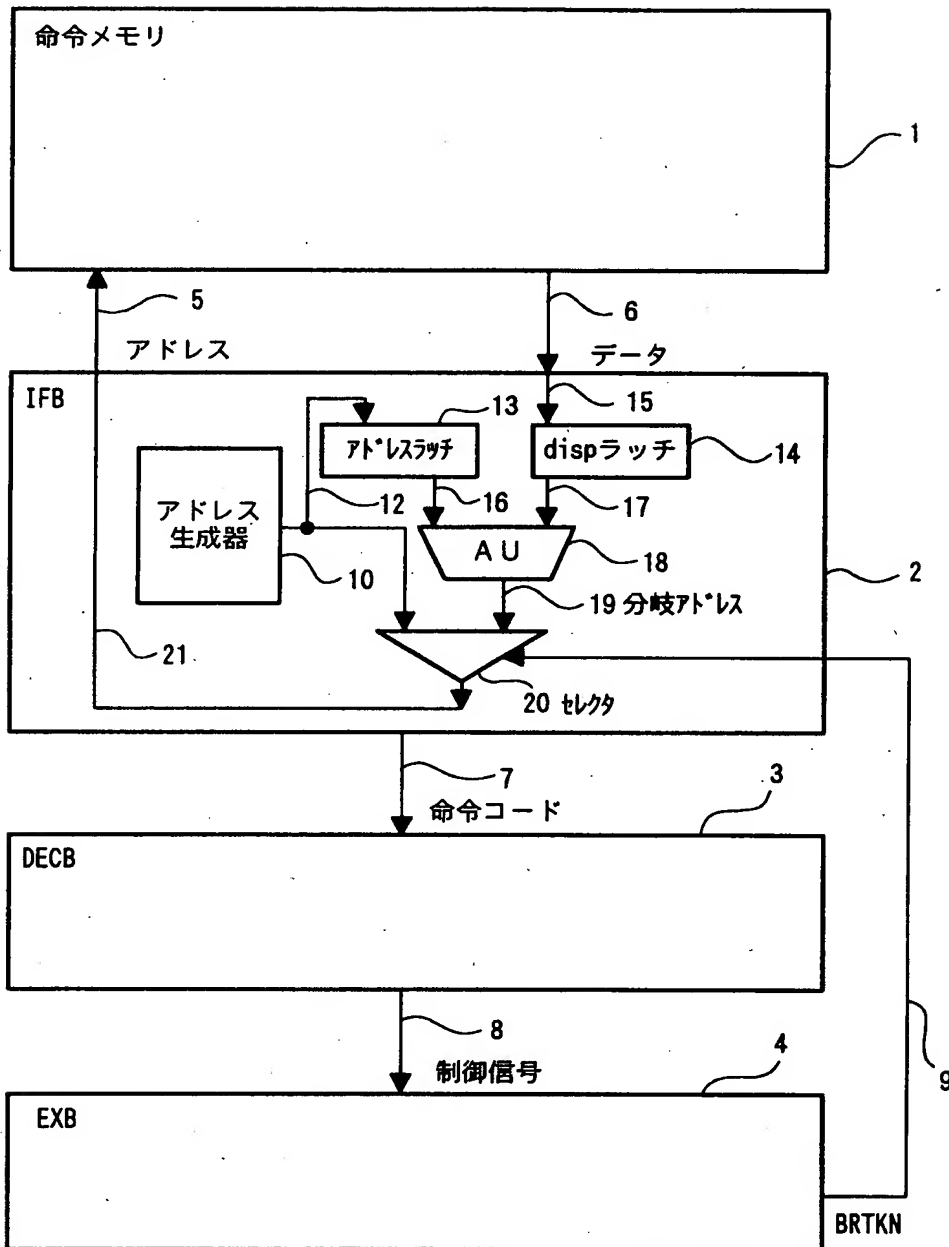
【符号の説明】

- 1 命令メモリ
- 2 I F B
- 3 D E C B
- 4 E X B
- 5 アドレス
- 6 データ
- 7 命令コード
- 8 制御信号
- 9 B R T K N

- 10 アドレス生成器
- 12 アドレス生成器出力
- 13 アドレスラッチ
- 14 dispラッチ
- 16 アドレスラッチ出力
- 17 dispラッチ出力
- 18 AU
- 19 AU出力(分岐アドレス)
- 20、26、27、40 セレクタ
- 21 セレクタ出力
- 22 条件分岐命令判定器
- 23 BREN
- 24 Xデコーダ
- 25 メモリアレイ
- 28 ノーマルYデコーダ
- 29 分岐Yデコーダ
- 30 Yデコーダ
- 31、32 ノーマルYデコーダ出力
- 33、34 分岐Yデコーダ出力
- 35 アドレス判定器
- 36 YADROV
- 37、38 Yデコーダ出力
- 39 セレクタ出力

【書類名】 図面

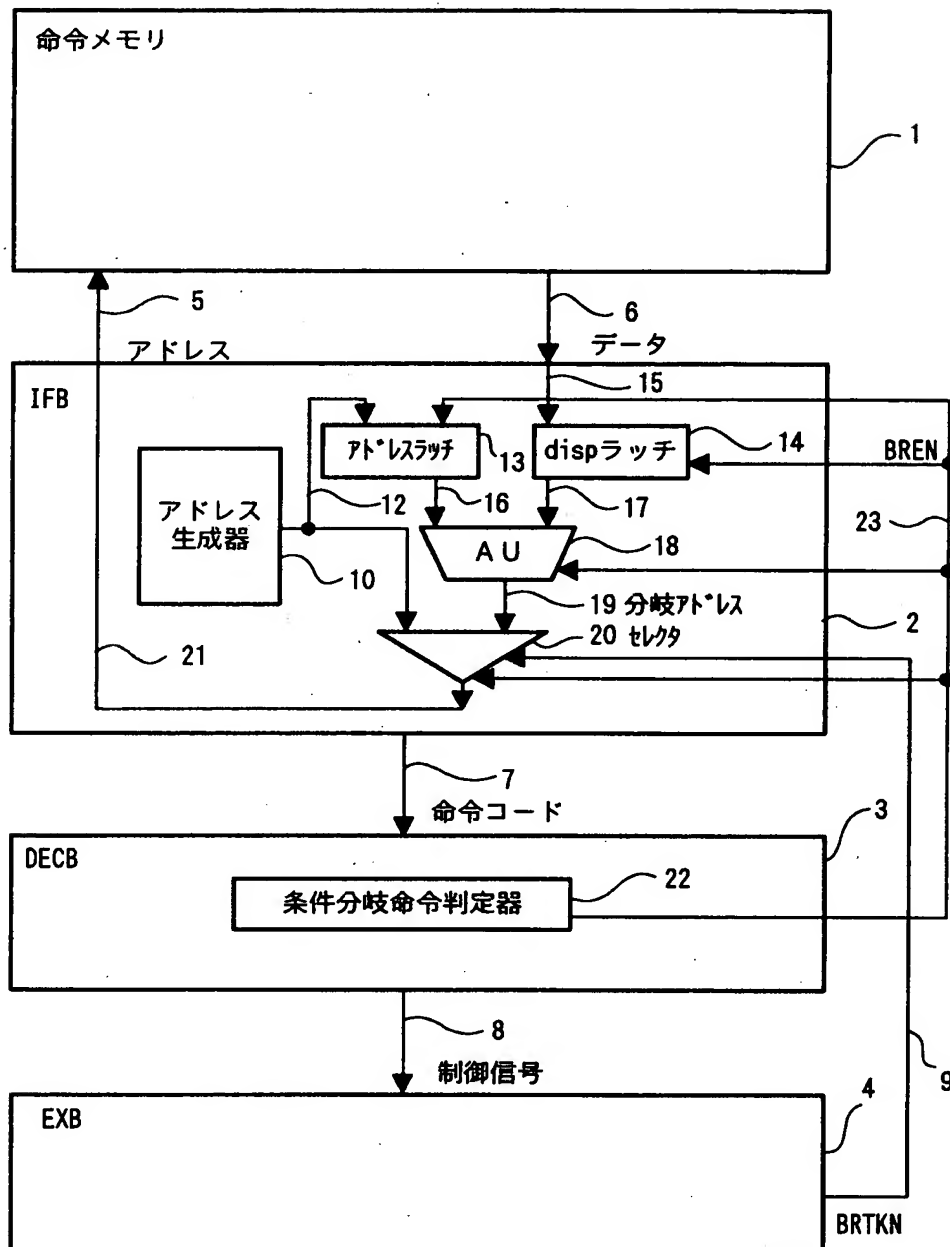
【図1】



【図 2】

	a	b	c		d	e	f
ADR	0000	0002	0004	0022	0024		
IF	SUB D2,D1	BEQdisp8	AND D0,D1	MOV D2,A0			
DEC		SUB D2,D1	BEQdisp8	MOV D2,A0			
EX			SUB D2,D1	BEQdisp8	MOV D2,A0		
BRTKN							

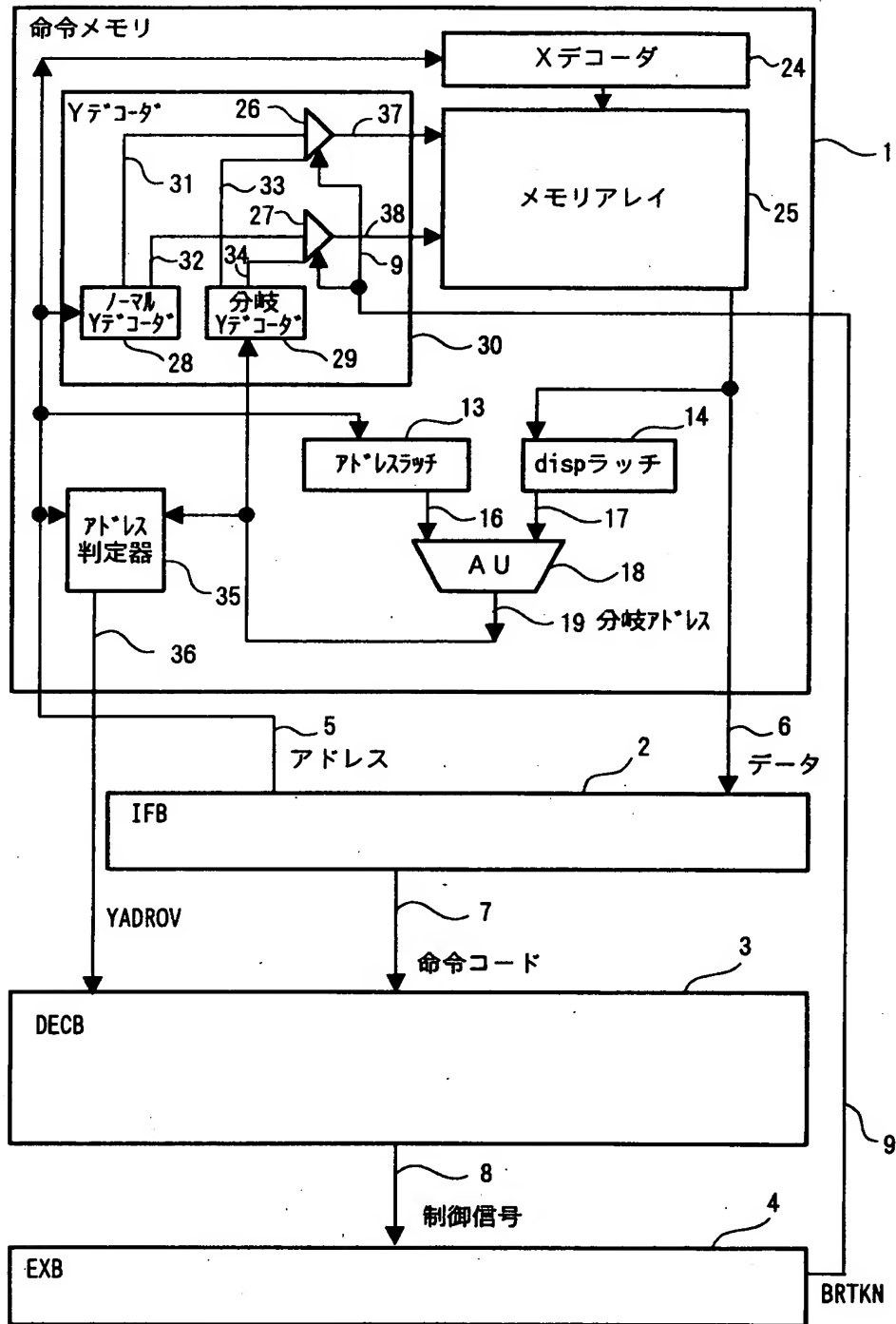
【図 3】



【図 4】

	a	b	c		d	e	f
ADR	0000	0002	0004	0022	0024		
IF	SUB D2,D1	BEQdisp8	AND D0,D1	MOV D2,A0			
DEC		SUB D2,D1	BEQdisp8	MOV D2,A0			
EX			SUB D2,D1	BEQdisp8	MOV D2,A0		
BRTKN							
BREN							

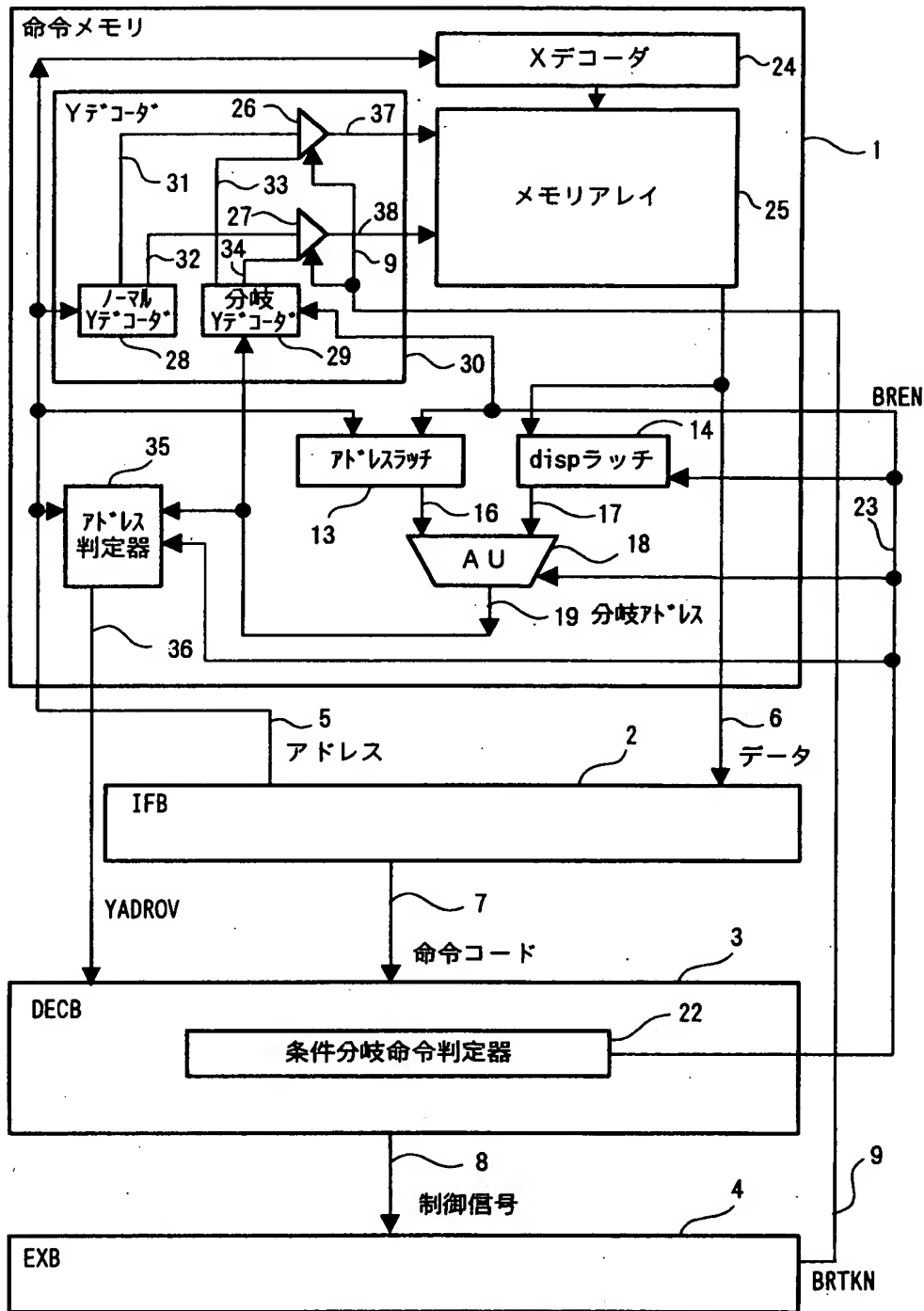
【図5】



【図6】

	a	b	c	d	e	f
ADR	0000	0002	0004	0024		
XDEC	00	00	00	00		
YDECN	00	02	04	24		
YDECB			22			
BRTKN						
XDECP						
YDECP						
31						
32						
33						
34						
37						
38						
IF	SUB D2,D1	BEQdisp8	MOV D2,A0			
DEC		SUB D2,D1	BEQdisp8	MOV D2,A0		
EX			SUB D2,D1	BEQdisp8	MOV D2,A0	

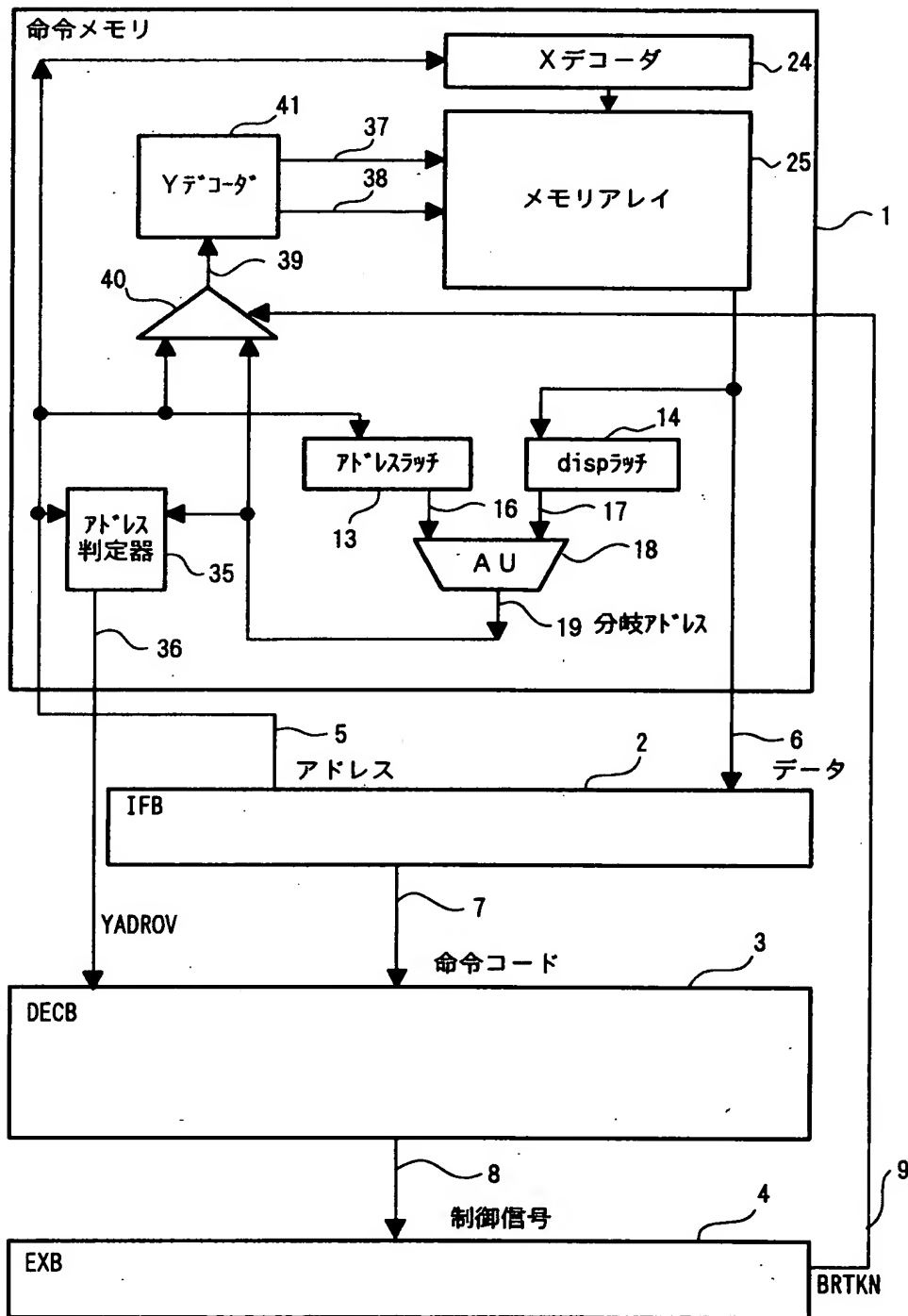
【図 7】



【図 8】

	a	b	c	d	e	f
ADR	0000	0002	0004	0024		
XDEC	00	00	00	00		
YDECN	00	02	04			
YDECB			22			
BRTKN						
XDECP						
YDECP						
31						
32						
33						
34						
37						
38						
IF	SUB D2,D1	BEQdisp8	MOV D2,A0			
DEC		SUB D2,D1	BEQdisp8	MOV D2,A0		
EX			SUB D2,D1	BEQdisp8	MOV D2,A0	
BREN						

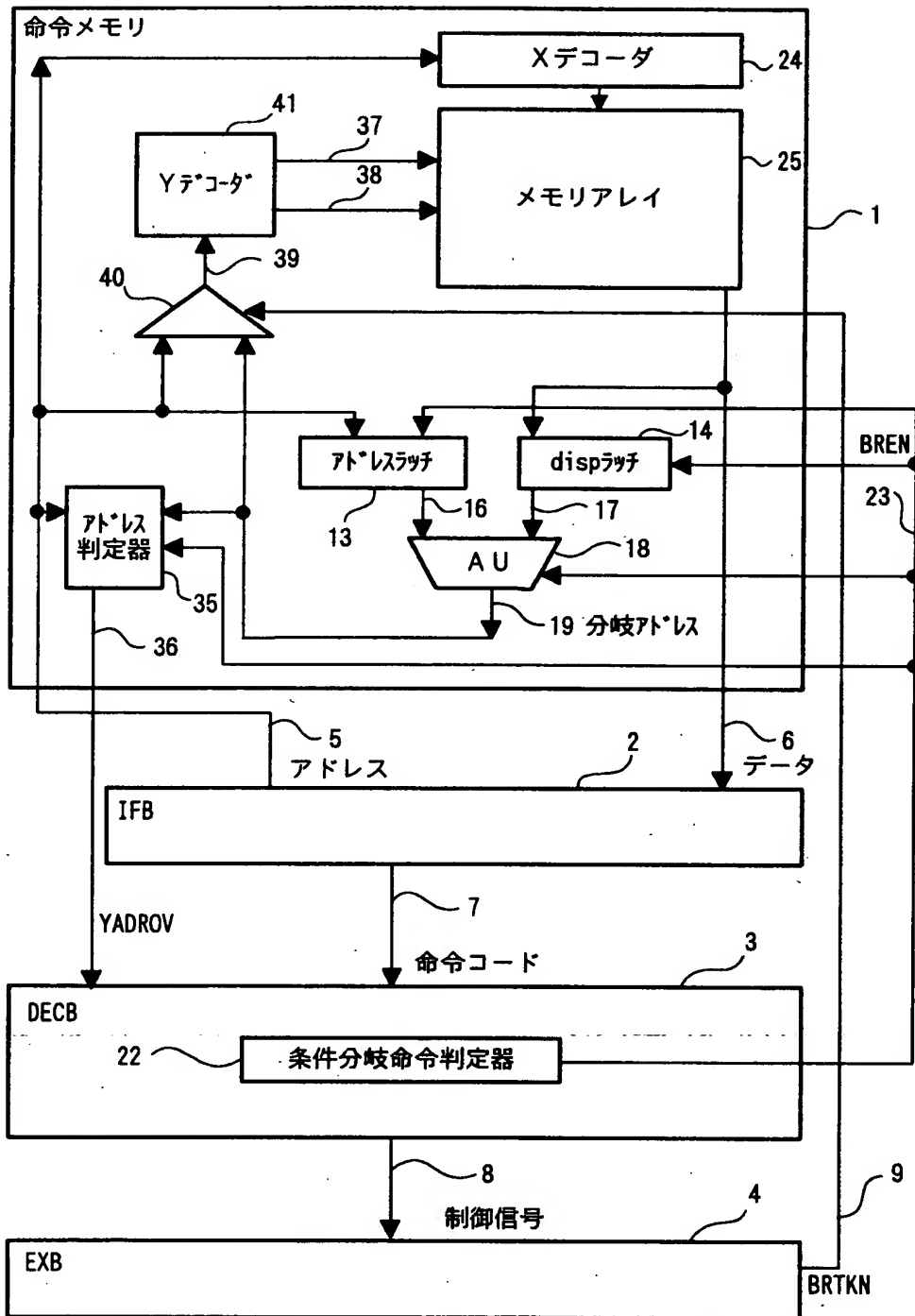
【図 9】



【図10】

	a	b	c	d	e	f
ADR	0000	0002	0004	0024		
XDEC	00	00	00	00		
YDECN	00	02	04			
YDECB			22			
BRTKN						
39	00	02	04	02		
XDECP						
YDECP						
37						
38						
IF	SUB D2,D1	BEQdisp8	MOV D2,A0			
DEC		SUB D2,D1	BEQdisp8	MOV D2,A0		
EX			SUB D2,D1	BEQdisp8	MOV D2,A0	

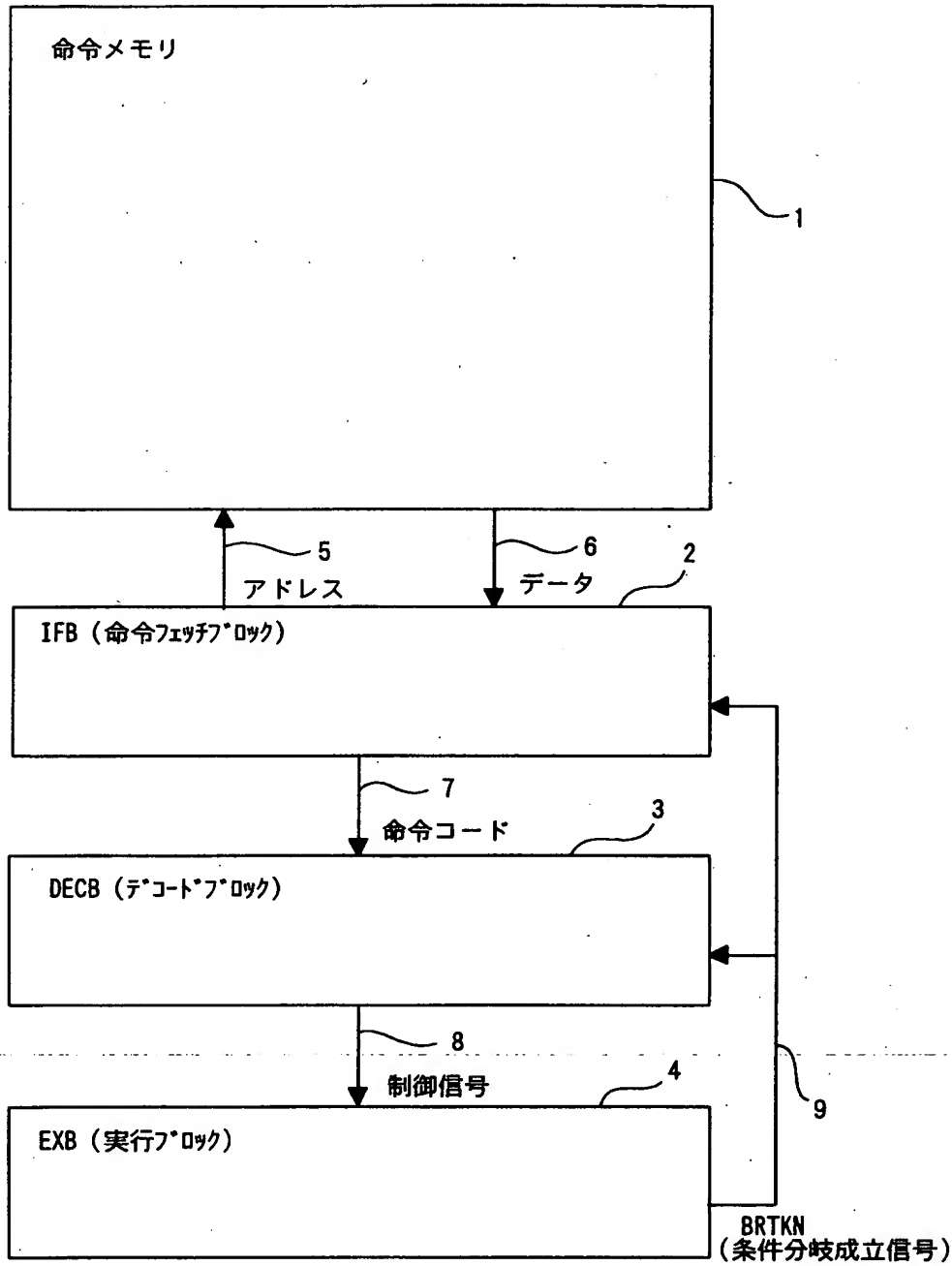
【図11】



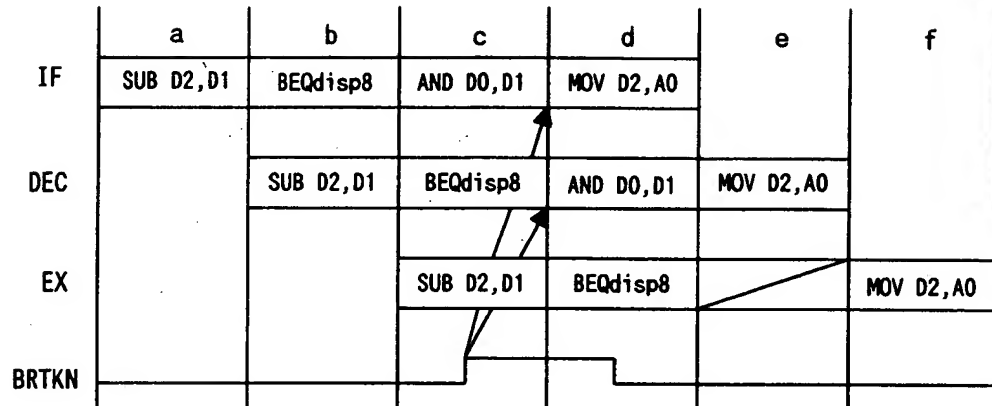
【図12】

	a	b	c	d	e	f
ADR	0000	0002	0004	0024		
XDEC	00	00	00	00		
YDECN	00	02	04			
YDECB			22			
BRTKN						
39	00	02	04	22		
XDECP						
YDECP						
37						
38						
IF	SUB D2,D1	BEQdisp8	MOV D2,A0			
DEC		SUB D2,D1	BEQdisp8	MOV D2,A0		
EX			SUB D2,D1	BEQdisp8	MOV D2,A0	
BREN						

【図 13】



【図14】



【書類名】 要約書

【要約】

【課題】 従来のような無駄な実行サイクルの発生による処理性能の低下を防ぐことができる半導体装置を提供する。

【解決手段】 I F B 2でのフェッチ処理の際に、E X B 4からの分岐成立信号(B R T K N) 9の状態に基づいて、条件分岐が成立した場合には分岐先アドレスを選択し、条件分岐が不成立の場合には次の命令のアドレスを選択して、命令メモリ1に供給することにより、I F B 2において、それらのアドレスに対応するフェッチ処理の実行を制御する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日
[変更理由] 新規登録
住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社